

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-079358

(43)Date of publication of application : 24.03.1998

(51)Int.Cl.

H01L 21/285
C23C 14/34
C23C 14/54
H01L 21/203

(21)Application number : 08-235165

(71)Applicant : NEC CORP

(22)Date of filing : 05.09.1996

(72)Inventor : HOSHINO AKIRA

(54) SPUTTERING METHOD

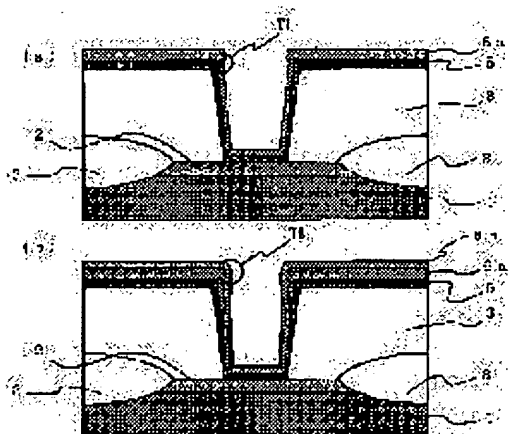
(57)Abstract:

PROBLEM TO BE SOLVED: To enable the thin film with excellent step coverage to be formed by a method wherein the sputtering method is composed of the first sputtering step at a specific low pressure and the second sputtering step at a specific high pressure.

SOLUTION: About 800 of a TiN film 6a is formed on a Ti film 5 on an insulating film 3 by the long throw sputtering process at a low pressure of N₂ and Ar mixed gas not exceeding 1.0m Torr. At this time, the thin film part T1 of the TiN film 6a is formed on a hole upper part. Besides,

when the N₂ and Ar mixed gas pressure is increased up to at least 1.0mTorr in the same sputter chamber, the sputter particles are more frequently multiscattered to increase the obliquely incident sputtering on a substrate

thereby covering the thin film part T1 with a formed overhang T2 thereby enabling the thin film with excellent step coverage to be formed. Furthermore, when about 400 of another TiN film 6b is formed on the TiN film 6a by the long throw sputtering process, the thin film part T1 is covered with the overhang T2 thereby enabling the thin film with excellent step coverage to be formed.



LEGAL STATUS

[Date of request for examination] 05.09.1996
[Date of sending the examiner's decision of rejection] 23.03.1999
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-79358

(43) 公開日 平成10年(1998) 3月24日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/285			H 0 1 L 21/285	S
C 2 3 C 14/34			C 2 3 C 14/34	
	14/54		14/54	
H 0 1 L 21/203			H 0 1 L 21/203	

審査請求 有 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願平8-235165

(22) 出願日 平成8年(1996) 9月5日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 星野 晶

東京都港区芝五丁目7番1号 日本電気株式会社内

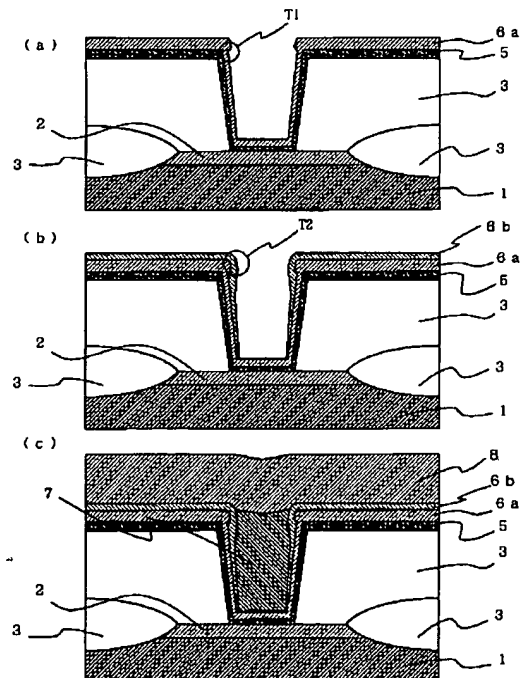
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 スパッタ法

(57) 【要約】

【課題】 半導体装置のホール構造を持つコンタクトホールなどの内部にスパッタにより導体膜を形成する方法において、オーバーハングが生じず良好なボトムカバレッジを得ることができるスパッタ法を提供する。

【解決手段】 第一の工程において、通常のスパッタ法よりも低圧下でスパッタを行い、スパッタ粒子の多重散乱を少なくし直進性を高めてオーバーハング形成を防止し、かつスパッタ粒子をホール下部に到達させ十分な膜厚を形成する。次に第二の工程において、条件を高圧にしてスパッタ粒子の多重散乱を引き起こすことで、基板に対して斜め入射するスパッタ粒子を増やす。第一の工程ではホール開口部付近に薄膜部が形成され始めるが、第二の工程でスパッタ粒子を堆積させ厚膜化することにより薄膜部の形成を阻止する。以上の手段により解決する。



【特許請求の範囲】

【請求項1】1. 0m Torr未満の低圧でスパッタを行う第一の工程と、1. 0m Torr以上の高圧でスパッタを行う第二の工程よりなることを特徴とするスパッタ法。

【請求項2】前記第一の工程と第二の工程により同一種類の薄膜を形成する請求項1に記載のスパッタ法。

【請求項3】少なくとも前記第一の工程が、ターゲットから放出されたスパッタ粒子が半導体基板に対して垂直方向から入射する様に方向付けられる異方性スパッタにより行われる請求項1に記載のスパッタ法。

【請求項4】異方性スパッタ法がコリメートスパッタ法である請求項3に記載のスパッタ法。

【請求項5】少なくとも前記第一の工程におけるターゲットと半導体基板の距離が100mm以上とされる請求項1に記載のスパッタ法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ホール構造を持つ半導体装置において、スパッタ法によりホールの内部に導体膜を形成する方法に関するものである。

【0002】

【従来の技術】近年急速に半導体集積回路の高速化や高集積化が進み、それに伴う半導体装置微細化により配線と不純物拡散層をつなぐコンタクトホールや、配線と配線をつなぐスルーホールの、ホール径に対するホールの深さ（アスペクト比）が次第に高くなってきている。

【0003】半導体装置上に形成される素子間や周辺回路をつなぐ内部配線の導体膜形成には、一般的にスパッタ法が用いられている。図3（a）には通常のスパッタ装置の模式断面図を示す。装置の構成としては、まず、基板11が基板ホルダー12に保持され、ターゲット13と平行に配置されている。ターゲット13には直流電源14が接続されており、また、ターゲット13の基板11に面している側と反対側にはマグネット15が配されている。ターゲット13に電圧がかけられることでターゲットからスパッタ粒子16が放出する。通常のスパッタ法で導体膜を形成する場合、ターゲット13から放出されたスパッタ粒子16は多重散乱により様々な方向から基板11に入射する。すなわちこの場合スパッタ粒子は等方性であるという。

【0004】ホール構造を持つ半導体基板のホール内部に導体膜を形成する場合にも同様にスパッタ法が用いられている。図3（b）には図3（a）のスパッタ装置によりホール構造を持つ半導体基板にスパッタした場合の半導体基板の断面図を示す。基板17の上層に絶縁膜18が積層され、ホール19が基板に接する程度に、ほぼ垂直に形成されている。前述のように近年ホール内壁は半導体基板に対してほぼ垂直で、かつホール径が小さくそれに比してホール深さが深くなっているため、また、

通常のスパッタ法ではスパッタ粒子が多重散乱により粒子の異方性が無いため、ホール下部に到達し堆積するスパッタ粒子の量が減る。斜め入射したスパッタ粒子は、ホール19内壁の上部に多く付着しやすく、粒子の堆積速度は下部に比べて上部が格段に速い。よってホール上部に集中的に堆積し、導体膜はホール19上部にせり出してオーバーハング形状T3となる。さらにオーバーハングT3の陰となる部分ができるため、ホール19下部に到達するスパッタ粒子の量が減り、よってホール19上部の膜厚に比べてホール19下部の膜厚が極端に薄くなるというシャドウ効果が起こる。

【0005】このように通常のスパッタ法では、近年のアスペクト比の高いホール内壁表面に導体膜を、平均的に形成するのが困難になってきている。ホール下部に導体膜が十分確保されないと、コンタクトホールやスルーホールにおいて良好な電気的接続が不能となり、半導体集積回路の製造歩留まりや信頼性の低下の原因となる。

【0006】かかる従来のスパッタ法における問題の対策としてホールに斜め入射するスパッタ粒子を減らし、垂直入射する粒子の割合を高くして、ホール下部に良好な導電性を確保するのに必要な膜厚を形成する技術が様々な提案されている。図4（a）は特開平6-140359号に記載された金属層堆積方法を説明するための断面図であり、コリメートスパッタ法と呼ばれる。装置の構成は図3（a）に示した通常のスパッタ装置とほぼ同様であり、基板31が基板ホルダー32に保持され、ターゲット33と平行に配置されている。ターゲット33には直流電源34が接続されており、また、ターゲット33の基板31に面している側と反対側にはマグネット35が配されている。ターゲット33に電圧がかけられることでターゲットからスパッタ粒子36が放出する。さらにこの方法ではホールアスペクト比に近いアスペクト比の貫通穴をもつ、コリメータ37と呼ばれる簀の子状の遮蔽板を、ターゲット33と基板31の間に平行に配置している。コリメータ37は、ターゲットから放出されたスパッタ粒子36のうち、基板31に対してほぼ垂直入射するもののみを選択通過させる。ほぼ垂直入射するスパッタ粒子38を選択することで、ホール下部にスパッタ粒子38を良好に到達、堆積させることができる。このコリメータのアスペクト比を高く変えることで、垂直入射するスパッタ粒子のみをより厳しく選択することができ、形成される導体膜のボトムカバレッジがより向上する。

【0007】図5（a）は特開平7-292474号に記載された薄膜製造方法を説明するための断面図であり、ロングスロースパッタ法と呼ばれる。この装置の構成も図3（a）に示した通常のスパッタ装置とほぼ同様であり、基板51が基板ホルダー52に保持され、ターゲット53と平行に配置されている。ターゲット53には直流電源54が接続されており、また、ターゲット5

3の基板51に面している側と反対側にはマグネット55が配されている。ターゲット53に電圧がかけられることでターゲットからスパッタ粒子56が放出する。通常スパッタ法は2.0~10.0mTorr程度の圧力で行うが、この方法は1.0mTorr以下の低圧の下でスパッタを行い、さらにターゲット53と基板51の距離を通常のスパッタ法の約4倍程度として行う。

【0008】スパッタ法においてターゲットから放出されたスパッタ粒子は様々な方向に散乱し、ある粒子が他の粒子と衝突を起こした後、距離を進んで次に別の粒子と衝突する。その間に移動した距離を平均自由行程というが、この方法は低圧であるためスパッタ粒子の速度が小さく、よって平均自由行程は長くなる。故にターゲット53から放出されたスパッタ粒子51は多重散乱されることなく直進する。さらにターゲット53と基板51間の距離が長いので、ターゲット51から斜めに放出されたスパッタ粒子は装置側壁57に付着する。そのため、基板に対して入射するスパッタ粒子はほとんどが垂直入射粒子のみとなり、その結果特にホール構造ではホール下部にまでスパッタ粒子が良好に到達する。

【0009】コリメートスパッタ法、ロングスロースパッタ法ともに基板に対して垂直入射する異方性スパッタ粒子を選択的に堆積するので、高アスペクト比のホールでの導体膜形成において、ホール下部に十分な膜厚の導体膜を確保することができる。

【0010】

【発明が解決しようとする課題】しかしながら上記のスパッタ法には以下の問題点がある。コリメートスパッタ法、ロングスロースパッタ法ともにホール内下部のカバー能力（ボトムカバレジ）は通常のスパッタ法に比べて優れてはいるものの、スパッタ粒子の垂直入射成分が多いため、ホール内壁に付着するスパッタ粒子が減少し、ホール内壁のカバー能力（サイドカバレジ）の優位性はなくなる。

【0011】また他の問題点として、スパッタ粒子に異方性があるこれら二つのスパッタ法によりホール内の導体薄膜形成に適用した場合にのみホール上部に現れる極端な薄膜部がある。図4（b）及び図5（b）にはそれぞれコリメートスパッタ法及びロングスロースパッタ法により作製された、それぞれの半導体基板の断面図を示す。図中のT4に該当する部分が薄膜部である。

【0012】図6は前記異方性スパッタにより導体膜をホール構造を持つ半導体基板のホール内部に形成する場合に、この薄膜部T4が形成される過程を説明した図である。薄膜部が形成されるメカニズムは以下の様である。まず、図6（a）に示すように、基板71、絶縁膜72、及び絶縁膜72に設けられたホール73に対してほぼ垂直入射するスパッタ粒子74は、ホール73内側壁に対しては非常に浅い角度で入射することになる。そのため、ほぼ入射方向に沿って堆積が始まり導体膜75

が形成される。

【0013】スパッタが進むと、図6（b）のようにスパッタ粒子はホール73内側壁において棘状に堆積し始め、ホール73開口部にその先端を向ける。ホール73上部にはスパッタ粒子74が飛着しやすく、成膜速度がホール73下部に比較して高い。スパッタ粒子74はホール73に対してほぼ垂直方向に入射する異方性を持っているため、入射方向からみて棘状の堆積物の陰になる部分には飛着しにくくなる。棘状の堆積物は、そのままの形状を保ちつつさらに成長する。通常のスパッタ法ではスパッタ粒子の入射方向が乱雑なためこのような成長は観察されない。この異方性スパッタ法特有の棘状の成長は、純鉄薄膜のスパッタ成膜プロセスのコンピュータシミュレーションによっても同様な結果が得られている（「IONICS」、21巻別冊1、1995.2）。

【0014】スパッタがさらに進むとホール上部ではさらに上方より多量のスパッタ粒子74が飛来し、ホール内側壁とは異なり極端な場合は図6（c）のような形状となり、薄膜部T4ができる。ホール径が微細になりアスペクト比が高くなるほど、薄膜部T4の傾向は顕著になる。このようにホール上部でのサイドカバレジのみを比べれば、異方性スパッタよりもむしろ通常のスパッタ法が優れていると言える。

【0015】これらの二つの方法でコンタクトホール内にバリア膜を形成し、薄膜部T4が形成された場合には以下のような不都合が生じる。例えば、半導体装置でバリアメタルとして広く用いられているTiNをバリア膜としてコリメートスパッタ法でホール内に形成し薄膜部T4が生じると、この部分の十分なバリア性が確保できない。またCVD法によりホール内にタングステンラゲの充填を行うとこの薄膜部よりCVD用反応ガスが浸入し、形成されたTiN膜が剥離する恐れがある。これらは半導体装置の製造歩留まりや信頼性の低下を引き起こす。

【0016】さらに別の問題点として、コリメートスパッタ法においては、ターゲットから放出されたスパッタ粒子の内の大部分がコリメータに付着してしまい、成膜速度を低下させる。付着したスパッタ粒子はコリメータ上で薄膜を形成する。その薄膜が剥離してダストやパーティクルになり半導体基板表面に落下し、半導体装置の製造歩留まり低下や故障の原因等の不都合を生じる。この現象はアスペクト比が高い場合に顕著である。また、このコリメータに付着したスパッタ粒子はコリメータのアスペクト比を変化させたり、貫通穴を塞ぐまでに至る恐れがある。付着が進んだ場合その都度コリメータを交換すれば良いが、半導体装置の多くは真空チャンバー内で製造しているため、交換に多大な労力が必要であり、現実的な解決方法とは言えない。

【0017】本発明が解決しようとする課題は、半導体装置のホール構造を持つコンタクトホールなどの内部に

スパッタにより導体膜を形成する方法において、オーバーハングが生じず良好なボトムカバレッジを得ることができるスパッタ法を提供することにある。

【0018】

【課題を解決するための手段】前記課題を解決するため、請求項1に記載のスパッタ法は、1.0mTorr未満の低圧でスパッタを行う第一の工程と、1.0mTorr以上の高圧でスパッタを行う第二の工程よりなることを特徴とする。

【0019】請求項2に記載のスパッタ法は、請求項1に記載のスパッタ法において、前記第一の工程と第二の工程により同一種類の薄膜を形成することを特徴とする。

【0020】請求項3に記載のスパッタ法は、請求項1に記載のスパッタ法において、少なくとも前記第一の工程が、ターゲットから放出されたスパッタ粒子が半導体基板に対して垂直方向から入射する様に方向付けられる異方性スパッタにより行われることを特徴とする。

【0021】請求項4に記載のスパッタ法は、請求項3に記載のスパッタ法において、異方性スパッタ法がコリメートスパッタ法であることを特徴とする。

【0022】請求項5に記載のスパッタ法は、請求項1に記載のスパッタ法において、少なくとも前記第一の工程におけるターゲットと半導体基板の距離が100mm以上とされることを特徴とする。

【0023】

【発明の実施の形態】本発明によるスパッタ法の一実施の形態について説明する。半導体装置のホール構造内部にスパッタ法で導体薄膜を形成する場合において、必要なボトムカバレッジを確保するためにはスパッタ粒子をホール下部にまで十分到達させる必要がある。また、これと併せてホール上部のオーバーハング形成を防止するために、多重散乱のないスパッタ粒子が基板に対してはほぼ垂直に入射するスパッタ法を用いる必要がある。一方、異方性スパッタ法が原因となって起こるホール開口部付近の薄膜化を防止するためには、多重散乱が起こる通常のスパッタ法を用いる必要がある。

【0024】本発明においてはこれら相矛盾する要求を解決するため、導体薄膜形成段階途中での混合ガス雰囲気圧力を変化させ、二つの段階を経ることでそれぞれが引き起こす問題点が解消され、アスペクト比の高いホール内部においても導電性を確保でき、半導体装置としての信頼性に優れた導体膜形成を行うことができる。

【0025】まず第一の工程において、特にスパッタ粒子をホール下部に到達させ十分な膜厚を形成する。そのためには通常のスパッタ法よりも低圧下でスパッタを行い、スパッタ粒子の多重散乱を少なくし直進性を高める。この場合に用いるスパッタ法は、通常のスパッタ法によっても可能であるが、異方性を高めたスパッタ法である、ターゲットと基板間の距離を通常よりも長くした

ロングスロースパッタ法、もしくはターゲットと基板の中間に設置したコリメータにより直進するスパッタ粒子のみを選択通過させるコリメートスパッタ法により行うのが有効である。

【0026】次に第二の工程において、条件を高圧にしてスパッタ粒子の多重散乱を引き起こすことで、基板に対して斜め入射するスパッタ粒子を増やす。第一の工程では低圧条件下での異方性スパッタであるため、ホール開口部付近に薄膜部の初期の段階のものが形成されるが、その表面にスパッタ粒子を堆積させ厚膜化することにより薄膜部の形成を阻止する。

【0027】第一の工程及び第二の工程により形成する薄膜は、同一の材料からなる薄膜を積層する。このように本発明のスパッタ法を半導体装置に適用すれば、アスペクト比の高いホール内部においても、導電性を確保するのに十分な膜厚の薄膜をホール内底部及びホール内側壁に形成することができる。つまり、ボトムカバレッジやサイドカバレッジの良い薄膜の形成を行うことができる。

【0028】

【実施例】

実施例 コンタクトホールにおけるバリアメタルの形成図1及び図2は本発明の実施例1を説明するための半導体装置の断面図で、それぞれの(a)～(c)は各工程の状態図である。まず図1(a)に示すように、半導体基板1の表面上に不純物拡散層2、SiO₂からなる絶縁膜3を形成する。次に図1(b)に示すように、フォトリソ法と異方性エッチングにより不純物拡散層2を露出させる深さまでコンタクトホール4(アスペクト比3、内径0.4μm×深さ1.2μm)を形成する。その後、各種薬液や逆スパッタにより不純物拡散層2の表面を洗浄する。

【0029】次に、図1(c)に示すように、絶縁膜3及びコンタクトホール4内部の表面にスパッタ法でTi膜5を形成する。このTiは形成後の熱処理により不純物拡散層上の絶縁物(SiO₂)などの酸化物を還元し、TiSi₂層を作ることによって金属配線と不純物拡散層との接触抵抗を下げる働きがある。Ti膜のホール内部での膜厚は、使用するスパッタ法のカバレッジ能力やコンタクトホールのアスペクト比により異なる。例えば、本実施例のロングスロースパッタ法では、基板とターゲットの距離が長いほど、ほぼ垂直入射するスパッタ粒子のみがホール内部に到達し、ホール下部の膜厚は厚くなる。但し距離が極端に長いと成膜速度が低下するので、200～300mm程度が適当である。コリメートスパッタ法の場合にはコリメータのアスペクト比が高いほどカバレッジ能力が高くなる。よって、コンタクトホールの底部に同じTi膜厚を成長させる場合、1:1のアスペクト比のコリメータに比べ2:1コリメータがカバレッジ能力が高いため、ホール底部の膜厚と基板上の膜厚の差が小さくなる。つまりホール底部に同じTi膜厚を成長

させる場合、基板上に形成する膜厚は薄くて済む。本実施例のアスペクト比3程度のコンタクトホールならば、コリメータホールが1:1のアスペクト比のコリメートスパッタ法を用い、Ti膜厚が基板上部に1000程度堆積することで、コンタクトホール底部に良好な電気的接続が得られるに十分な膜厚を確保できる。良好な電気的接続が得られる膜厚は、一般的には150以上である。

【0030】次に図2(a)に示すように、バリアメタルとなるTiN膜6aの形成を行う。TiNは配線材料であるアルミニウムやタングステンが不純物拡散層2中のSiと反応しないようにするバリアメタルであり、かつタングステンの密着層となる。Ti膜5の形成後大気暴露せずに真空保持したままTiN膜6aの形成工程に移行する。Ti膜5の上にロングスロースパッタ法を用いて、N₂とArの混合ガス圧が0.3mTorrの低圧下でTiN膜6aを絶縁膜3上において800形成する。この場合、ロングスロースパッタにより形成されたホール底部の膜厚は、およそ150であった。

【0031】前工程で異方性スパッタ固有の現象である、ホール上部のTiN膜6aの薄膜部T1の形成が起こる。そこで次にTiN膜6a形成直後、同じスパッタチャンパー内においてN₂とArの混合ガス圧を6.0mTorrに変える。ガス圧を高圧にすることでスパッタ粒子の多重散乱が起こる頻度が高くなり、基板に斜めに入射するスパッタ粒子が支配的になる。これは通常のスパッタ法を行っている場合に相当し、その場合に形成されるオーバーハングによりホール上部のTiN膜6aの薄膜部T1をカバーすることができる。図2(b)に示すようにロングスロースパッタ法でTiN膜6a上に続けてTiN膜6bを400成膜すると、オーバーハング部T2が薄膜部T1を覆う。なお、この高圧下でのスパッタのコンタクトホール底部の膜厚はほとんど変化しておらず、底部にはスパッタ粒子がほとんど到達していないことがわかる。

【0032】バリアメタルであるTiN膜6a、6bを2工程に渡って形成した後、図2(c)に示すようにCVD法と異方性エッチングによりタングステンプラグ7を形成する。次いで、TiN膜6b及びタングステンプラグ7上にアルミニウム配線8を形成して、不純物拡散層3との電気的接続が完成する。

【0033】スパッタ法としては、ロングスロースパッタ法を用いたが、他の異方性スパッタ法であるコリメートスパッタ法を用いても良い。しかしその場合、高圧スパッタに移行する際に、多重散乱したスパッタ粒子を基板表面に到達させるためにコリメータを撤去しておく。あるいは通常のスパッタ法を用いても、低圧スパッタ時には多重散乱は減少し、ホールアスペクト比が高い場合にもホール下部にスパッタ粒子を到達させ、十分な膜厚を確保することができる。低圧スパッタによるTiN膜

6aの形成後、高圧下でのTiN膜6b形成に移る際に大気暴露せずに真空保持のまま連続して行うが、一旦大気暴露した後高圧下スパッタを行ってもバリア性の点では同様の効果が得られる。また、高圧下スパッタ時には、スパッタ粒子はコンタクトホール下部にほとんど到達しないが、低圧スパッタによるTiN膜6aの形成時に十分な膜厚が確保されているので電気的接続や信頼性の点で問題はない。本実施例においてはバリアメタルのTiN膜形成についての例を挙げたが、その他にもW、WSi、WN、TiW、Ta₂N、TiONなどにおいても薄膜部T4を形成しない方法として適用可能である。

【0034】

【発明の効果】本発明は以上説明したように構成されているので、以下に記載するような優れた効果を奏する。半導体装置の製造時において、半導体基板のホール構造を持つ部分の内部に導体膜を形成する場合、1.0mTorr以下の低圧下でスパッタを行った後、続けてもしくは大気暴露後に1.0mTorr以上の高圧下でスパッタを行うことにより、ステップカバレージの良い薄膜形成ができる。

【図面の簡単な説明】

【図1】本発明の実施例のスパッタ法を説明するための工程断面図で、(a)～(c)は各工程の状態図である。

【図2】本発明の実施例のスパッタ法を説明するための工程断面図で、(a)～(c)は各工程の状態図である。

【図3】従来のスパッタ法を説明するための図で、(a)は従来のスパッタ装置の断面図であり、(b)は(a)のスパッタ装置を用いてホール内に導体膜を形成した場合の半導体基板の断面図である。

【図4】特開平6-140359号公報により開示された金属層堆積法を説明するための図で、(a)はコリメートスパッタ装置の断面図であり、(b)は(a)のコリメートスパッタ装置を用いてホール内に導体膜を形成した場合の半導体基板の断面図である。

【図5】特開平7-292474号公報により開示された薄膜製造方法を説明するための図で、(a)はロングスロースパッタ装置の断面図であり、(b)は(a)のロングスロースパッタ装置を用いてホール内に導体膜を形成した場合の半導体基板の断面図である。

【図6】スパッタ粒子が基板に対してほぼ垂直に入射する異方性スパッタを用いてホール内に導体膜を形成する場合を説明するための工程断面図で、(a)～(c)は各工程の状態図である。

【符号の説明】

1 基板

4 コンタクトホール

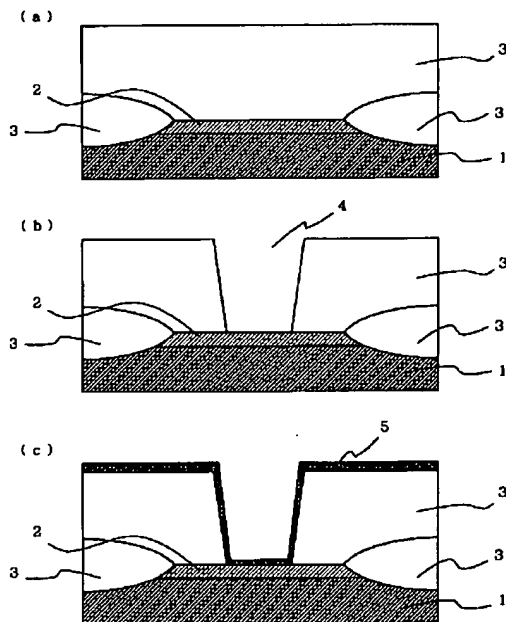
6a 低圧下で形成されたTiN膜(薄膜)

6b 高圧下で形成されたTiN膜(薄膜)

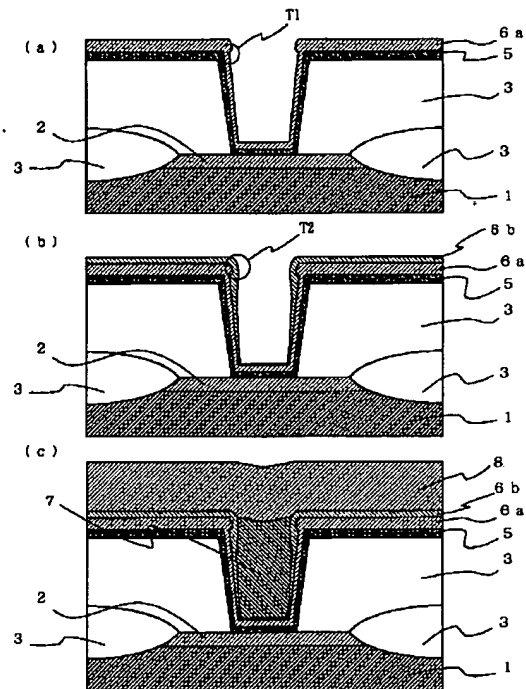
- 11 基板
- 13 ターゲット
- 16 スパッタ粒子
- 17 基板
- 19 ホール
- 20 導体膜
- 31 基板
- 33 ターゲット
- 36 ターゲットから放出されたスパッタ粒子
- 37 コリメータ
- 38 コリメータ通過後のスパッタ粒子
- 39 基板
- 41 ホール
- 42 導体膜
- 51 基板
- 53 ターゲット

- 56 スパッタ粒子
- 58 基板
- 60 ホール
- 61 導体膜
- 71 基板
- 73 ホール
- 74 スパッタ粒子
- 75 導体膜
- T1 低圧で形成されたTiN膜のホール上部の形状
- 10 T2 低圧+高圧で形成されたTiN膜のホール上部の形状
- T3 従来のスパッタ法で形成された導体膜のオーバーハング形状
- T4 スパッタ粒子が基板に対してほぼ垂直に入射する異方性スパッタ法で形成された導体膜のホール上部での薄膜形状

【図1】

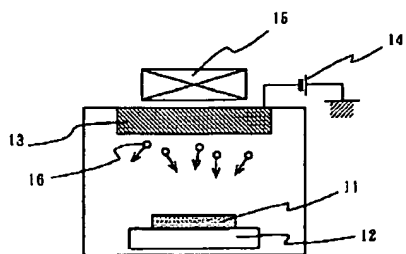


【図2】

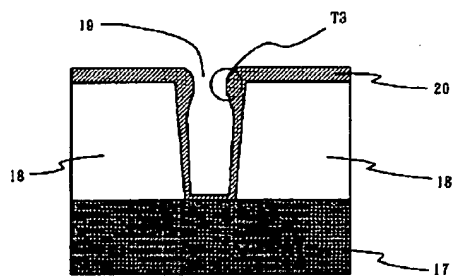


【図3】

(a)

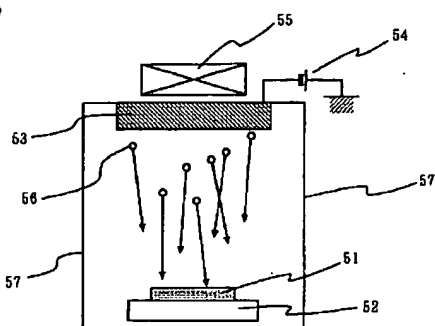


(b)

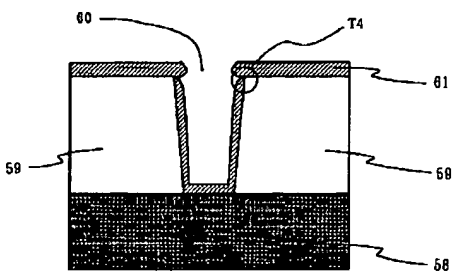


【図5】

(a)

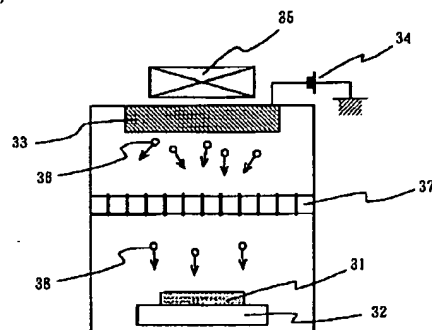


(b)

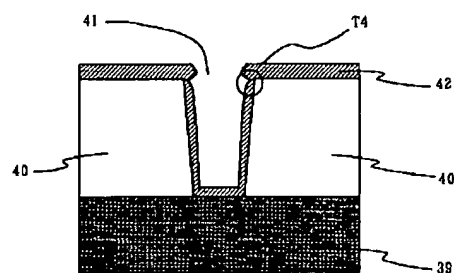


【図4】

(a)

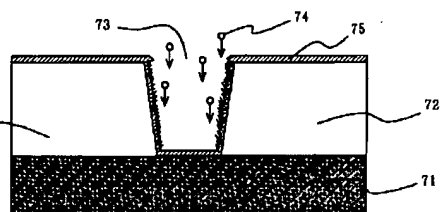


(b)

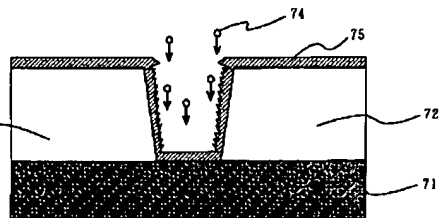


【図6】

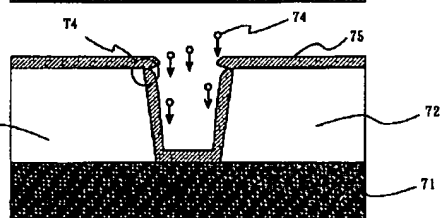
(a)



(b)



(c)



PAT-NO: JP410079358A
DOCUMENT-IDENTIFIER: JP 10079358 A
TITLE: SPUTTERING METHOD
PUBN-DATE: March 24, 1998

INVENTOR-INFORMATION:
NAME
HOSHINO, AKIRA

ASSIGNEE-INFORMATION:
NAME COUNTRY
NEC CORP N/A

APPL-NO: JP08235165

APPL-DATE: September 5, 1996

INT-CL (IPC): H01L021/285, C23C014/34 , C23C014/54 , H01L021/203

ABSTRACT:

PROBLEM TO BE SOLVED: To enable the thin film with excellent step coverage to be formed by a method wherein the sputtering method is composed of the first sputtering step at a specific low pressure and the second sputtering step at a specific high pressure.

SOLUTION: About 800 of a TiN film 6a is formed on a Ti film 5 on an insulating film 3 by the long throw sputtering process at a low pressure of N<SB>2</SB> and Ar mixed gas not exceeding 1.0m Torr. At this time, the thin film part T1 of the TiN film 6a is formed on a hole upper part. Besides, when the N<SB>2</SB> and Ar mixed gas pressure is increased up to at least 1.0mTorr in the same sputter chamber, the sputter particles are more frequently

multiscattered to increase the obliquely incident sputtering on a substrate
thereby covering the thin film part T1 with a formed overhang
T<SB>2</SB>
thereby enabling the thin film with excellent step coverage to be formed.
Furthermore, when about 400 of another TiN film 6b is formed on the TiN film 6a
by the long throw sputtering process, the thin film part T1 is covered with the
overhang T2 thereby enabling the thin film with excellent step coverage to be formed.

COPYRIGHT: (C)1998,JPO

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] the semiconductor device in which this invention has hole structure -- setting -- a spatter -- the interior of a hole -- a conductor -- it is related with the approach of forming the film.

[0002]

[Description of the Prior Art] Improvement in the speed and high integration of a semiconductor integrated circuit progress quickly in recent years, and the depth (aspect ratio) of the hole to the diameter of a hole of the contact hole which connects wiring and an impurity diffused layer by semiconductor device detailed-ization accompanying it, and the through hole which connects wiring and wiring is becoming high gradually.

[0003] the conductor of internal wiring which connects between the components formed on a semiconductor device, and a circumference circuit -- generally the spatter is used for film formation. Type section drawing of the usual sputtering system is shown in drawing 3 (a). As a configuration of equipment, first, a substrate 11 is held at the substrate electrode holder 12, and is arranged at a target 13 and parallel. The magnet 15 is arranged on the side and opposite hand which DC power supply 14 are connected to the target 13, and face the substrate 11 of a target 13. Sputtered particles 16 emit from a target by an electrical potential difference being applied to a target 13. the usual spatter -- a conductor -- when forming the film, incidence of the sputtered particles 16 emitted from the target 13 is carried out to a substrate 11 from various directions by multiple scattering. That is, it is said in this case that sputtered particles are isotropy.

[0004] the interior of the hole of a semi-conductor substrate with hole structure -- a conductor -- when forming the film, the spatter is used similarly. The sectional view of the semi-conductor substrate at the time of carrying out a spatter is shown in the semi-conductor substrate which has hole structure with the sputtering system of drawing 3 (a) at drawing 3 (b). The laminating of the insulator layer 18 is carried out to the upper layer of a substrate 17, and the hole 19 is formed almost at right angles to extent which touches a substrate. The amount of a hole wall of the sputtered particles reached and deposited on the hole lower part at the usual spatter since the hole depth has become [the diameter of a hole] small deeply almost vertically as compared with it to the semi-conductor substrate in order that the anisotropy of a particle may not have sputtered particles by multiple scattering decreases as mentioned above in recent years. a lot of sputtered particles in the upper part of hole 19 wall which carried out oblique incidence tend to adhere, and the rate of sedimentation of a particle has the alike and quick upper part compared with the lower part. therefore, the hole upper part -- intensive -- depositing -- a conductor -- the film pushes out in the hole 19 upper part, and serves as overhanging configuration T3. Since the part which furthermore serves as shade of overhanging T3 is made, the amount of the sputtered particles which reach the hole 19 lower part becomes less, and the shadow effectiveness that the thickness of the hole 19 lower part therefore becomes extremely thin compared with the thickness of the hole 19 upper part happens.

[0005] thus, the hole wall front face where an aspect ratio in recent years is high in the usual spatter -- a

conductor -- it is becoming difficult to form the film on the average. the hole lower part -- a conductor -- if the film is not secured enough, in a contact hole or a through hole, good electrical installation will become impossible, and it will become the cause of lowering of the manufacture yield of a semiconductor integrated circuit, or dependability.

[0006] The sputtered particles which carry out oblique incidence to a hole as a measure for the problem in this conventional spatter are reduced, the rate of the particle which carries out vertical incidence is made high, and the various proposal of the technique which forms thickness required to secure good conductivity to the hole lower part is made. Drawing 4 (a) is a sectional view for explaining the metal layer deposition approach indicated by JP,6-140359,A, and is called the collimation spatter method. The configuration of equipment is the same as that of the usual sputtering system shown in drawing 3 (a) almost, and a substrate 31 is held at the substrate electrode holder 32, and it is arranged at a target 33 and parallel. The magnet 35 is arranged on the side and opposite hand which DC power supply 34 are connected to the target 33, and face the substrate 31 of a target 33. Sputtered particles 36 emit from a target by an electrical potential difference being applied to a target 33. The shield of the shape of a child of the reed screen furthermore called the collimator 37 with the through hole of the aspect ratio near a hole aspect ratio by this approach is arranged to parallel between a target 33 and a substrate 31. A collimator 37 carries out selection passage only of what carries out vertical incidence mostly to a substrate 31 among the sputtered particles 36 emitted from the target. The hole lower part can be reached and can be made to deposit sputtered particles 38 good by choosing the sputtered particles 38 which carry out vertical incidence mostly. the conductor which can choose more severely only the sputtered particles which carry out vertical incidence, and is formed by changing the aspect ratio of this collimator highly -- a membranous bottom product hippo register improves more.

[0007] Drawing 5 (a) is a sectional view for explaining the thin-film-fabrication approach indicated by JP,7-292474,A, and is called the long slow spatter method. The configuration of this equipment is the same as that of the usual sputtering system shown in drawing 3 (a) almost, and a substrate 51 is held at the substrate electrode holder 52, and is arranged at a target 53 and parallel. The magnet 55 is arranged on the side and opposite hand which DC power supply 54 are connected to the target 53, and face the substrate 51 of a target 53. Sputtered particles 56 emit from a target by an electrical potential difference being applied to a target 53. Usually, although a spatter is performed by the pressure of 2.0 - 10.0mTorr extent, this approach performs a spatter under [of 1.0 or less mTorr] low voltage, and performs distance of a target 53 and a substrate 51 as about about 4 times of the usual spatter further.

[0008] After it is scattered about in the various directions and a certain particle causes other particles and a collision, the sputtered particles emitted from the target in the spatter progress distance, and collide with particle another next. Although the distance which moved between them is called mean free path, since this approach is low voltage, its rate of sputtered particles is small, and, therefore, a mean free path becomes long. Therefore, the sputtered particles 51 emitted from the target 53 go straight on, without carrying out multiple scattering. Since the distance between a target 53 and a substrate 51 is still longer, the sputtered particles aslant emitted from the target 51 adhere to the equipment side attachment wall 57. Therefore, most serves as only a vertical-incidence particle and, as for the sputtered particles which carry out incidence to a substrate, sputtered particles reach even the hole lower part good with hole structure especially the result.

[0009] since the anisotropy sputtered particles which carry out vertical incidence of the collimation spatter method and the long slow spatter method to a substrate are deposited selectively -- the conductor in the hole of a high aspect ratio -- film formation -- setting -- the conductor of sufficient thickness for the hole lower part -- the film is securable.

[0010]

[Problem(s) to be Solved by the Invention] However, there are the following troubles in the above-mentioned spatter. Although excelled compared with a spatter usual [method / the collimation spatter method and / long slow spatter] in the covering capacity (bottom product hippo register) of the lower part in a hole, since there are many vertical-incidence components of sputtered particles, the sputtered particles adhering to a hole wall decrease, and the predominance of the covering capacity (side cover

register) of a hole wall is lost.

[0011] moreover, these [which have an anisotropy in sputtered particles as other troubles] two spatters -- the conductor in a hole -- only when it applies to thin film formation, there is the extreme thin film section which appears in the hole upper part. The sectional view of each semi-conductor substrate produced by the collimation spatter method and the long slow spatter method, respectively is shown in drawing 4 (b) and drawing 5 (b). The part applicable to T four in drawing is the thin film section.

[0012] drawing 6 -- said anisotropy spatter -- a conductor -- when forming the film in the interior of the hole of a semi-conductor substrate with hole structure, it is drawing explaining the process in which this thin film section T four is formed. The mechanism in which the thin film section is formed is as follows. First, as shown in drawing 6 (a), to hole 73 paries medialis orbitae, incidence of the sputtered particles 74 which carry out vertical incidence mostly to the hole 73 established in the substrate 71, the insulator layer 72, and the insulator layer 72 will be carried out at a very shallow include angle. therefore -- almost -- the direction of incidence -- meeting -- deposition -- starting -- a conductor -- the film 75 is formed.

[0013] If a spatter progresses, like drawing 6 (b), in hole 73 paries medialis orbitae, it is begun to deposit sputtered particles in the shape of a thorn, and they will turn the head to hole 73 opening. It is easy to carry out ** arrival of the sputtered particles 74 to the hole 73 upper part, and a membrane formation rate is high as compared with the hole 73 lower part. Since sputtered particles 74 have mostly the anisotropy which carries out incidence perpendicularly to the hole 73, it is hard coming to make them into the part which becomes the shade of a thorn-like deposit ** arrival seen from the direction of incidence. A thorn-like deposit grows further, maintaining a configuration as it is. In the usual spatter, since the direction of incidence of sputtered particles is disorderly, such growth is not observed. As for growth of the shape of a thorn peculiar to this anisotropy spatter, the same result is obtained also by the computer simulation of the spatter membrane formation process of a pure iron thin film ("IONICS", the 21-volume separate volume 1, 1995.2).

[0014] If a spatter progresses further, in the hole upper part, still a lot of sputtered particles 74 than the upper part come flying, and unlike the hole paries medialis orbitae, when extreme, it will become a configuration like drawing 6 (c), and thin film section T four will be made. The inclination of thin film section T four becomes remarkable, so that the diameter of a hole becomes detailed and an aspect ratio becomes high. Thus, if only the side cover register in the hole upper part is compared, it can be said that the usual spatter is superior to an anisotropy spatter rather.

[0015] When the barrier film is formed in a contact hole by these two approaches and thin film section T four is formed, the following inconvenience arises. For example, if it forms in a hole by the collimation spatter method by using as the barrier film TiN widely used as a barrier metal with the semiconductor device and thin film section T four arises, barrier property with this sufficient part is not securable. Moreover, when it is filled up with a tungsten plug in a hole with a CVD method, there is a possibility that the reactant gas for CVD may permeate from this thin film section, and the formed TiN film may exfoliate. These cause lowering of the manufacture yield of a semiconductor device, or dependability.

[0016] As still more nearly another trouble, most of the sputtered particles emitted from the target adheres to a collimator in the collimation spatter method, and a membrane formation rate is reduced. Adhering sputtered particles form a thin film on a collimator. The thin film exfoliates, and it becomes dust and particle, and falls on a semi-conductor substrate front face, and inconvenience, such as manufacture yield lowering of a semiconductor device and a cause of failure, is produced. This phenomenon is remarkable when an aspect ratio is high. Moreover, the sputtered particles adhering to this collimator have a possibility of resulting by the time it changes the aspect ratio of a collimator or plugs up a through hole. Although what is necessary is just to exchange collimators each time when adhesion progresses, since many of semiconductor devices are manufactured within a vacuum chamber, it needs a great effort for exchange and cannot be said to be the realistic solution approach.

[0017] the interior, such as a contact hole in which the technical problem which this invention tends to solve has the hole structure of a semiconductor device, -- a spatter -- a conductor -- it is in offering the spatter which overhanging does not arise but can obtain a good bottom product hippo register in the

approach of forming the film.

[0018]

[Means for Solving the Problem] In order to solve said technical problem, a spatter according to claim 1 is characterized by consisting of the first process which performs a spatter with the low voltage of less than 1.0 mTorr, and the second process which performs a spatter with the high voltage of 1.0 or more mTorr.

[0019] A spatter according to claim 2 is characterized by forming the thin film of the same class according to said the first process and second process in a spatter according to claim 1.

[0020] It is characterized by performing a spatter according to claim 3 in a spatter according to claim 1 by the anisotropy spatter oriented so that the sputtered particles to which said first process was emitted from the target at least may carry out incidence from a perpendicular direction to a semi-conductor substrate.

[0021] A spatter according to claim 4 is characterized by an anisotropy spatter being the collimation spatter method in a spatter according to claim 3.

[0022] A spatter according to claim 5 is characterized by setting distance of the target in said first process, and a semi-conductor substrate to 100mm or more at least in a spatter according to claim 1.

[0023]

[Embodiment of the Invention] The gestalt of 1 implementation of the spatter by this invention is explained. the interior of the hole structure of a semiconductor device -- a spatter -- a conductor -- when forming a thin film, in order to secure a required bottom product hippo register, it is necessary to make sputtered particles reach even the hole lower part enough Moreover, in order to combine with this and to prevent overhanging formation of the hole upper part, it is necessary to use the spatter in which sputtered particles without multiple scattering carry out incidence almost vertically to a substrate. On the other hand, in order to prevent thin film-ization near [where an anisotropy spatter becomes a cause and happens] hole opening, it is necessary to use the usual spatter from which multiple scattering arises.

[0024] in order to solve these phase conflicting requirement in this invention -- a conductor -- the conductor which the pressure of the mixed-gas ambient atmosphere in the middle of a thin film formation phase was changed, and the trouble which each causes was canceled, could secure conductivity also in the interior of the high hole which is an aspect ratio by passing through two phases, and was excellent in the dependability as a semiconductor device -- film formation can be performed.

[0025] First, in the first process, especially sputtered particles are made to reach the hole lower part, and sufficient thickness is formed. For that purpose, rather than the usual spatter, a spatter is performed under low voltage, multiple scattering of sputtered particles is lessened, and rectilinear-propagation nature is raised. In this case, as for the spatter to be used, it is effective to carry out by the collimation spatter method for carrying out selection passage only of the sputtered particles which go straight on with the collimator which installed in the medium of the long slow spatter method which made longer than usual distance between a target and a substrate which is the spatter which raised the anisotropy although it is possible or a target, and a substrate also by the usual spatter.

[0026] Next, in the second process, the sputtered particles which carry out oblique incidence to a substrate by making conditions into high voltage and causing multiple scattering of sputtered particles are increased. Although the thing of the phase in early stages of the thin film section is formed near hole opening at the first process since it is an anisotropy spatter under low voltage conditions, formation of the thin film section is prevented by making sputtered particles deposit on the front face, and thick-film-izing.

[0027] The thin film formed according to the first process and second process carries out the laminating of the thin film which consists of the same ingredient. Thus, if the spatter of this invention is applied to a semiconductor device, also in the interior of the high hole of an aspect ratio, the thin film of sufficient thickness to secure conductivity can be formed in the pars basilaris ossis occipitalis in a hole, and the hole paries medialis orbitae. That is, the good thin film of a bottom product hippo register or a side cover register can be formed.

[0028]

[Example]

Example Formation drawing 1 and drawing 2 of barrier metal in a contact hole are the sectional view of the semiconductor device for explaining the example 1 of this invention, and each (a) - (c) is the state diagram of each process. As first shown in drawing 1 (a), an impurity diffused layer 2 and the insulator layer 3 which consists of SiO₂ are formed on the front face of the semi-conductor substrate 1. Next, as shown in drawing 1 (b), a contact hole 4 (an aspect ratio 3, a bore [of 0.4 micrometers] x depth of 1.2 micrometers) is formed by Fukashi who exposes an impurity diffused layer 2 by the photoresist method and anisotropic etching. Then, various drug solutions and a reverse spatter wash the front face of an impurity diffused layer 2.

[0029] Next, as shown in drawing 1 (c), the Ti film 5 is formed in the front face of an insulator layer 3 and the contact hole 4 interior by the spatter. This Ti returns oxides, such as an insulating material on an impurity diffused layer (SiO₂), by heat treatment after formation, and has the work which lowers the contact resistance of metal wiring and an impurity diffused layer by making TiSi two-layer. The thickness inside the hole of Ti film changes with aspect ratios of the hippo register capacity of a spatter, or a contact hole to be used. For example, by the long slow spatter method of this example, only the sputtered particles which carry out vertical incidence mostly arrive at the interior of a hole, and the thickness of the hole lower part becomes thick, so that the distance of a substrate and a target is long. However, since a membrane formation rate will fall if distance is extremely long, about 200-300mm is suitable. Hippo register capacity becomes high, so that the aspect ratio of a collimator is high in the case of the collimation spatter method. Therefore, since 2:1 collimators have high hippo register capacity compared with the collimator of the aspect ratio of 1:1 when growing up the same Ti thickness as the pars basilaris ossis occipitalis of a contact hole, the difference of the thickness of a hole pars basilaris ossis occipitalis and the thickness on a substrate becomes small. That is, when growing up the same Ti thickness as a hole pars basilaris ossis occipitalis, the thickness formed on a substrate is thin and ends. The collimation spatter method a collimator hole is the aspect ratio of 1:1 if it is an about three aspect ratio [of this example] contact hole is used, and Ti thickness is 1000 to the substrate upper part. By carrying out extent deposition, good electrical installation can secure sufficient thickness to be obtained to a contact hole pars basilaris ossis occipitalis. Generally the thickness from which good electrical installation is obtained is 150. It is above.

[0030] Next, as shown in drawing 2 (a), TiN film 6a used as barrier metal is formed. The aluminum which is a wiring material, and a tungsten are Si in an impurity diffused layer 2, and the barrier metal to which it is made not to react, and TiN serves as an adhesion layer of a tungsten. It shifts to the formation process of TiN film 6a, carrying out vacuum maintenance without the Ti film 5 carrying out after [formation] atmospheric-air exposure. The long slow spatter method is used on the Ti film 5, and the mixed gas pressure of N₂ and Ar forms TiN film 6a 800 times on an insulator layer 3 under the low voltage of 0.3mTorr(s). in this case, the thickness of the hole pars basilaris ossis occipitalis formed of the long slow spatter -- about 150 it was .

[0031] Formation of the thin film section T1 of TiN film 6a of the hole upper part which is the phenomenon of an anisotropy spatter proper takes place at a before process. Then, the mixed gas pressure of N₂ and Ar is changed into 6.0mTorr(s) next just behind TiN film 6a formation and in the same spatter chamber. The frequency where multiple scattering of sputtered particles happens by making gas pressure into high voltage becomes high, and the sputtered particles which carry out incidence to a substrate aslant become dominant. This corresponds, when the usual spatter is being performed, and it can cover the thin film section T1 of TiN film 6a of the hole upper part by overhanging formed in that case. As shown in drawing 2 (b), it continues on TiN film 6a by the long slow spatter method, and it is TiN film 6b 400 When membranes are formed, an over hang T2 is a wrap about the thin film section T1. In addition, it turns out that the thickness of the contact hole pars basilaris ossis occipitalis of the spatter under this high voltage hardly changes, and sputtered particles have hardly reached a pars basilaris ossis occipitalis.

[0032] After forming the TiN film 6a and 6b which is barrier metal over two processes, as shown in drawing 2 (c), the tungsten plug 7 is formed by the CVD method and anisotropic etching. Subsequently,

the aluminum wiring 8 is formed on TiN film 6b and the tungsten plug 7, and electrical installation with an impurity diffused layer 3 is completed.

[0033] As a sputter, although the long slow sputter method was used, the collimation sputter method which are other anisotropy sputters may be used. However, in case it shifts to a high voltage sputter in that case, the collimator is removed in order to make the sputtered particles scattered multiply arrive at a substrate front face. Or even if it uses the usual sputter, multiple scattering can decrease at the time of a low voltage sputter, also when a hole aspect ratio is high, sputtered particles can be made to be able to reach the hole lower part, and sufficient thickness can be secured. After formation of TiN film 6a by the low voltage sputter, in case it moves to the TiN film 6b formation under high voltage, it carries out continuously with vacuum maintenance, without carrying out atmospheric-air exposure, but even if it performs the bottom sputter of high voltage once carrying out atmospheric-air exposure, the same effectiveness is acquired in respect of barrier property. Moreover, at the time of the bottom sputter of high voltage, although sputtered particles hardly reach the contact hole lower part, since thickness sufficient at the time of formation of TiN film 6a by the low voltage sputter is secured, it is satisfactory in respect of electrical installation or dependability. Although the example about TiN film formation of barrier metal was given in this example, it is applicable as an approach which does not form thin film section T four in W, WSi, WN, TiW, TaN, TiON, etc.

[0034]

[Effect of the Invention] Since this invention is constituted as explained above, outstanding effectiveness which is indicated below is done so. the interior of the part which has the hole structure of a semi-conductor substrate at the time of manufacture of a semiconductor device -- a conductor -- when forming the film, after performing a sputter under the low voltage of 1.0 or less mTorr, thin film formation with a sufficient step height register can be performed by performing a sputter under the high voltage of 1.0 or more mTorr after atmospheric-air exposure continuing.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The spatter characterized by consisting of the first process which performs a spatter with the low voltage of less than 1.0 mTorr, and the second process which performs a spatter with the high voltage of 1.0 or more mTorr.

[Claim 2] The spatter according to claim 1 which forms the thin film of the same class according to said the first process and second process.

[Claim 3] The spatter according to claim 1 performed by the anisotropy spatter oriented so that the sputtered particles to which said first process was emitted from the target may carry out incidence from a perpendicular direction to a semi-conductor substrate at least.

[Claim 4] The spatter according to claim 3 whose anisotropy spatter is the collimation spatter method.

[Claim 5] The spatter according to claim 1 by which distance of the target in said first process and a semi-conductor substrate is set at least to 100mm or more.

[Translation done.]